

FPGA 與 Verilog 之基礎與 FPGA 自走車實作

■ 課程簡介

FPGA 是一種可編程的數位邏輯晶片，屬於 ASIC 領域中一種半定製電路，FPGA 的發展不但解決了定製電路不足，並且能夠克服可編程器電路數有限的問題，再加上 FPGA 自身具有的設計周期短、開發成本低和設計靈活等特點，使得 FPGA 的開發越來越流行，為進入 IC 設計必經學習之路。本課程帶領學員理解 Verilog 的實作方法，以及廣泛利用實例引領學員利用 FPGA 來實作 Verilog 程式。本課程將會從 Verilog 程式語言之基礎開始，引領學員熟悉 Verilog 的各種語法，包含 Combinational Circuits、Sequential Circuits、Finite State Machine、以及進階的 Verilog 語言之編寫方式，帶領學員使用正確的觀念，來撰寫 Verilog 程式，並將程式實作於 Xilinx FPGA 開發板上。本課程重視基礎與實作之結合，在課程中除了引領學員們理解硬體程式設計之流程概念外，各個課題亦包含 FPGA 之實作訓練。在課程的最後，將帶領學員們使用 FPGA 結合自走車，利用紅外線和超音波等感測裝置，進行 FPGA 小車於賽道上之循跡及避障任務。

■ 課程目標

- 帶領學員們學習 Verilog 之基礎知識
- 指導學員們熟悉正確之 Verilog 撰寫觀念及技巧
- 說明 FPGA 以及硬體設計流程：從架構發想到實體設計
- 指導學員們熟悉將 Verilog 實作至 FPGA 之流程
- 帶領學員們進行 Verilog 與 FPGA 之各項實作訓練，最終完成 FPGA 自走小車之實作
- 提升學員之數位邏輯的思維、並行設計的理念、資源的合理利用、及系統與模組設計能力

■ 課程特色

- 徹底掌握，除了強調 Verilog 之語法撰寫，亦將說明各種不同語法於實際合成電路時之差異
- 手把手實戰，本課程包含各項 FPGA 之實作訓練。
- 學員手把手實作 FPGA 自走小車，有機會將作品實際驗證於循跡及避障任務上。

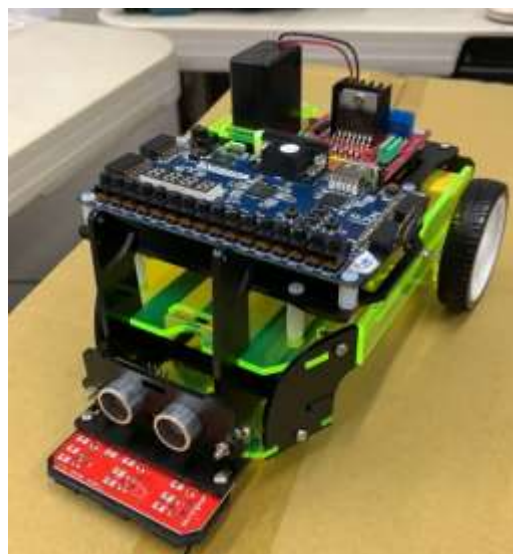
■ 適合對象

- 有意從事 PLD、CPLD、FPGA、IC 相關研發工作者。
- 資訊、資工、資管、電子、電機等相關科系畢業生。
- 熟悉邏輯設計及計算機架構者佳。

■ 先備知識

- 具備基本之邏輯設計觀念 (例如理解 AND、OR、INV 之差異)
- 具備基本之程式設計觀念
- 具備基本之 Windows 系統使用，以及瀏覽器使用之觀念

FPGA 自走車成品圖示



FPGA 教具：DIGILENT Basys 3 Artix-7 FPGA Development Board

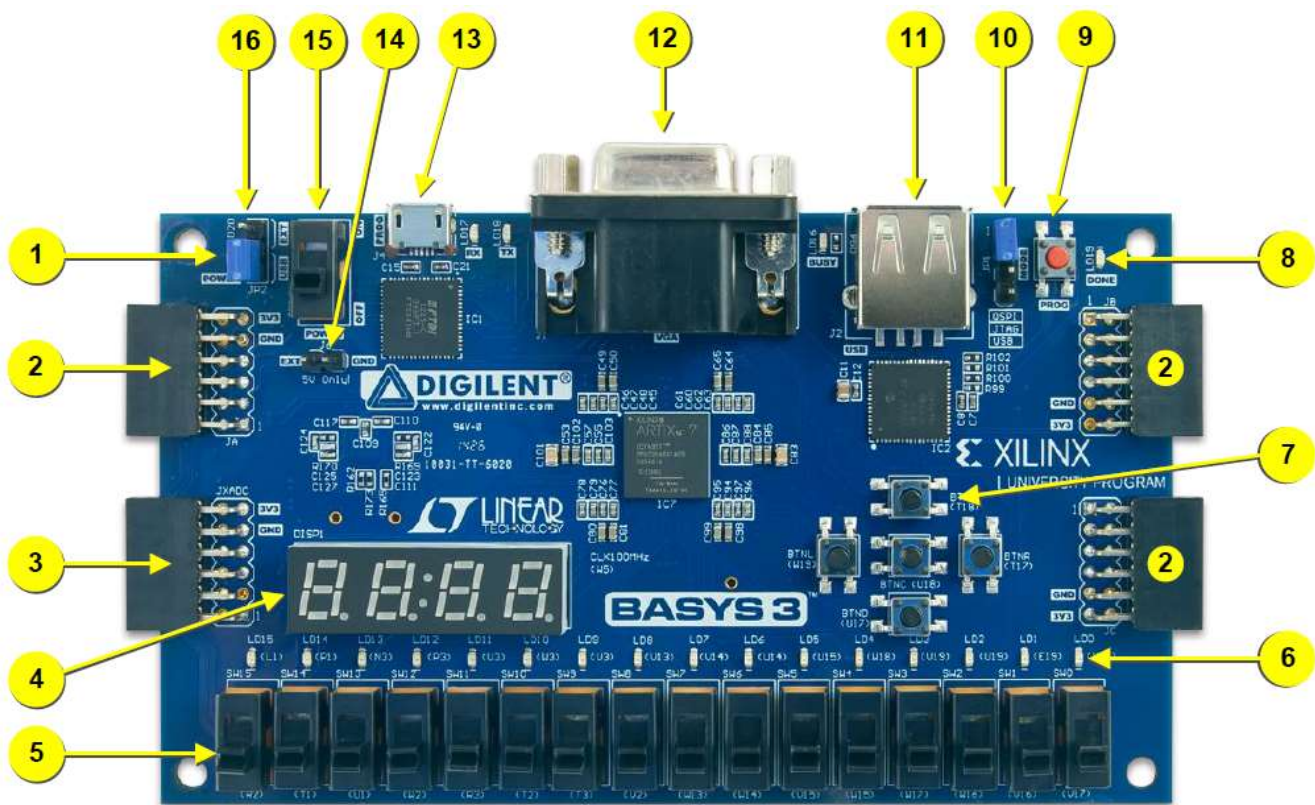


Figure 1. Basys 3 FPGA board with callouts.

Callout	Component Description	Callout	Component Description
1	Power good LED	9	FPGA configuration reset button
2	Pmod port(s)	10	Programming mode jumper
3	Analog signal Pmod port (XADC)	11	USB host connector
4	Four digit 7-segment display	12	VGA connector
5	Slide switches (16)	13	Shared UART/ JTAG USB port
6	LEDs (16)	14	External power connector
7	Pushbuttons (5)	15	Power Switch
8	FPGA programming done LED	16	Power Select Jumper

Table 1. Basys 3 Callouts and component descriptions.

參考資料: <https://www.xilinx.com/products/boards-and-kits/1-54wqge.html>



自走車基礎移動平台，包括：

- 3 路循線模組 x1
- 超音波模組 x1
- 馬達驅動模組 x1
- 9V 九伏快充鋰電池 x1

■ 課程大綱

第一天

時間	課程單元	課程大綱	講師
9:00 ~ 12:00	<ul style="list-style-type: none"> • Introduction • Vivado 之安裝 • Lab practice 	講述 Verilog 硬體設計之基本概念。	李濬屹
13:00 ~ 16:00	<ul style="list-style-type: none"> • Gate level Verilog • Combinational circuits • Lab practice 	講述如何運用 Gate Level Verilog 來撰寫電路，以及講述 Combinational Circuit 的基本原理。	李濬屹

第二天

時間	課程單元	課程大綱	講師
9:00 ~ 12:00	<ul style="list-style-type: none"> • Sequential circuits • Lab practice 	講述 Sequential Circuits 之撰寫概念，以及正確之撰寫方法。	李濬屹
13:00 ~ 16:00	<ul style="list-style-type: none"> • Finite state machine • Lab practice 	講述 Finite State Machine 之基本觀念，以及如何使用 Finite State Machine 來撰寫 Sequential Circuits。	李濬屹

第三天

時間	課程單元	課程大綱	講師
9:00 ~ 12:00	<ul style="list-style-type: none"> • Verilog coding styles • Hardware design flow 	講述 Verilog coding 常見之謬誤，以及解釋電腦自動化設計於硬體設計流程之重要性。	李濬屹
13:00 ~ 16:00	<ul style="list-style-type: none"> • FPGA autonomous car implementation 	帶領學員進行 FPGA 自走小車之實作	李濬屹

★主辦單位保留調整課程內容、行程與講師之權利

■ 講師簡介

李濬屹博士

【學歷】

- 美國普林斯頓大學電機工程博士
- 國立台灣大學電子工程學研究所碩士
- 國立台灣大學電機工程學系學士

【經歷】

- 國立清華大學資訊工程學系副教授 (2019~now)
- 國立清華大學資訊工程學系助理教授 (2015~2019)
- 矽谷美商甲骨文 (Oracle Corporation) 資深硬體設計工程師 (2012~2015)

【專業領域】：

- 智慧型機器人
- 深度增強式學習
- 電腦視覺
- 平行程式與系統設計
- 多核心處理器系統設計

- 舉辦地點：新竹市恆毅電腦教室 (新竹市東區光復路二段 295 號 3 樓之 2)

實際上課地點，請依上課通知為準!

- 舉辦日期：2022/11/14、11/21、11/28，09:00~16:00，共 3 天週一，共計 18 小時

- 報名截止日期：2022/10/31 (二週前)

- 課程費用：(含稅、教具 FPGA 自走車之租用維修、講義、午餐)

一般生：每人 16,000 元，**早鳥價(三週前)：每人\$15,000 元；**

團報(同公司 2 人含以上)優惠價：每人\$15,000 元，早鳥團報價(三週前)：每人\$14,000 元。

若自有設備：酌減教具租借費用：\$2,000 元，請於報名之備註欄註明，將於後台更改。(請務必先確認自備教具是正確的)

- 報名方式：

- ◆ 工研院學習服務網，線上報名：<https://college.itri.org.tw/Home/LessonData?PosterGUID=C5206011-D23E-4875-A657-02C0195D4C79>

- 課程洽詢：黃小姐 03-5732034 或 email 至 itri535579@itri.org.tw

- 注意事項：

1. 為確保您的上課權益，報名後若未收到任何回覆，敬請來電洽詢方完成報名。
2. 因課前教材、講義及餐點之準備及需為您進行退款相關事宜，若您不克前來，請於開課一周前告知，以利行政作業進行並共同愛護資源。
3. 若原報名者因故不克參加，但欲更換他人參加，敬請於開課前二日通知。
4. 教具 FPGA 自走車係為**租用**，若需持有，請告知以學員另行向供應商直接購買。